

PCTORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE
Bureau international

DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁶ :**H03M 1/34****A1**

(11) Numéro de publication internationale:

WO 99/16173

(43) Date de publication internationale:

1er avril 1999 (01.04.99)

(21) Numéro de la demande internationale: PCT/FR98/02013

(22) Date de dépôt international: 21 septembre 1998 (21.09.98)

(30) Données relatives à la priorité:

97/11699

19 septembre 1997 (19.09.97)

FR

(71) Déposant (pour tous les Etats désignés sauf US): THOMSON-CSF [FR/FR]; 173, boulevard Haussmann, F-75008 Paris (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (US seulement): BORE, François [FR/FR]; Thomson-CSF Propriété Intellectuelle, Dépt. Protection et Conseil, 13, avenue du Président Salvador Allende, F-94117 Arcueil Cedex (FR). WINGENDER, Marc [FR/FR]; Thomson-CSF Propriété Intellectuelle, Dépt. Protection et Conseil, 13, avenue du Président Salvador Allende, F-94117 Arcueil Cedex (FR).

(74) Mandataire: THOMSON-CSF PROPRIÉTÉ INTELLECTUELLE; Dépt. Protection et Conseil, 13, avenue du Président Salvador Allende, F-94117 Arcueil Cedex (FR).

(81) Etats désignés: US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Publiée

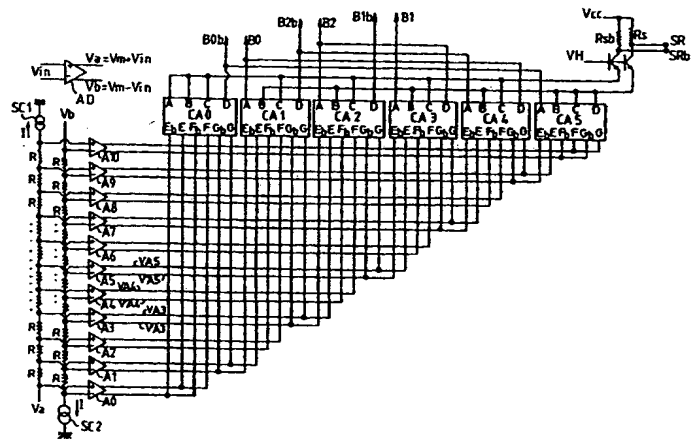
Avec rapport de recherche internationale.

(54) Title: ANALOG-DIGITAL CONVERTER WITH TREE-STRUCTURED FOLDING CIRCUIT

(54) Titre: CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE A CIRCUIT DE REPLIEMENT ARBORESCENT

(57) Abstract

The invention concerns analog-digital converters, more precisely it concerns converters with signal folding which set up two so-called folded analog signals, whose variation curves depending on a voltage V_{in} to be converted intersect at multiple points. The patented architecture comprises: means (A_0 to A_{10}) for setting up n voltage pairs (V_{A_k} , V'_{A_k}) varying with V_{in} and intersecting for values $V_{in} = V_k$ evenly distributed; at least two current switching circuits (CA_1 to CA_4), each of which has at least three input pairs (E, E_b ; F, F_b ; G, G_b) and at least two outputs called direct output (B) and inverse output (C). The direct outputs, connected with each other, supply a folded signal SR ; the inverse outputs supply a complementary folded signal SR_b . Each switching circuit receives three pairs of voltages of rank $k-1$, k and $k+1$, and comprises a current source (SC) powering a group of branches mounted in tree structure. The distribution of current in each branch connection is a function of voltage pairs of rank $k-1$, k , $k+1$, and said circuit direct and inverse outputs are respectively taken on two different branches of the tree structure final stage.



(57) Abrégé

L'invention concerne les convertisseurs analogiques-numériques. Plus précisément, elle concerne les convertisseurs à repliement de signal qui établissent deux signaux analogiques dits repliés, dont les courbes de variation en fonction d'une tension V_{in} à convertir se croisent en de multiples points. L'architecture brevetée comprend: des moyens (A_0 à A_{10}) pour établir n paires de tensions (V_{A_k} , V'_{A_k}) variant avec V_{in} et se croisant pour des valeurs $V_{in} = V_k$ régulièrement distribuées, au moins deux circuits d'aiguillage de courant (CA_1 à CA_4), dont chacun possède au moins trois paires d'entrées (E, E_b ; F, F_b ; G, G_b) et au moins deux sorties appelées sortie directe (B) et sortie inverse (C). Les sorties directes, reliées entre elles, fournissent un signal replié SR ; les sorties inverses fournissent un signal replié complémentaire SR_b . Chaque circuit d'aiguillage reçoit trois paires de tensions de rang $k-1$, k et $k+1$, et comporte une source de courant (SC) alimentant un groupe de branches montées en structure arborescente. La répartition du courant dans chaque embranchement est fonction des paires de tension de rang $k-1$, k , et $k+1$, et les sorties directe et inverse de ce circuit sont prises respectivement sur deux branches différentes du dernier étage de la structure arborescente.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

CONVERTISSEUR ANALOGIQUE-NUMERIQUE A CIRCUIT DE REPLIEMENT ARBORESCENT

L'invention concerne les convertisseurs analogiques-numériques, c'est-à-dire les circuits électroniques capables de convertir un signal d'entrée analogique en une valeur numérique précise représentant l'amplitude du signal analogique. La valeur numérique est obtenue sous
5 forme d'un mot de plusieurs bits, codé en binaire pur ou en un autre code.

Plusieurs procédés de conversion existent, et le choix d'un procédé plutôt qu'un autre dépend des performances que l'on attend du convertisseur. Les paramètres les plus importants de ces performances sont:

- 10 - la résolution, définie par le nombre de bits du mot de sortie représentant avec exactitude l'amplitude du signal analogique ; le nombre de bits peut être de 16 à 18, voire 20, pour les convertisseurs les plus précis, et la précision est en général de + ou - 1/2 bit de poids le plus faible;
- la rapidité, c'est-à-dire le nombre d'opérations de conversion
15 qu'on peut effectuer en une seconde;
- la consommation de puissance : un convertisseur rapide et précis consomme beaucoup plus d'énergie qu'un convertisseur lent et peu précis ; or la consommation de puissance entraîne un échauffement de la puce de circuit intégré sur laquelle est réalisé le convertisseur. Cet
20 échauffement doit être compensé par des moyens de refroidissement qui rendent le circuit difficilement utilisable lorsqu'il y a des contraintes d'encombrement à respecter. De plus, avec la multiplication des équipements dits "portables" (fonctionnant à l'aide de piles), le critère "consommation de puissance élevée" devient également synonyme de
25 "faible durée de vie de l'équipement";
- et bien sûr le coût de conception et de fabrication du convertisseur lié en particulier à la surface de puce de circuit intégré utilisée par le convertisseur.

Les qualités d'un convertisseur analogique-numérique résultent
30 d'un compromis entre les paramètres ci-dessus et un but de la présente invention est d'améliorer ce compromis.

Parmi les structures connues de convertisseurs analogiques-numériques, on peut citer :

- les convertisseurs à approximations successives, de fonctionnement relativement lent;

5 - les convertisseurs "flash" qui utilisent 2^N comparateurs en parallèle, de structure encombrante et consommant une puissance élevée;

- les convertisseurs à interpolation, à structure en série (plusieurs étages en cascade) ou en parallèle;

- les convertisseurs à repliement de signal.

10 L'invention s'intéresse à cette dernière catégorie de convertisseur, qui peut d'ailleurs être associée aux autres catégories dans des convertisseurs mixtes.

Le rôle d'un circuit de repliement de signal est de produire au moins deux tensions dites "repliées" : ce sont des tensions analogiques qui
15 varient sensiblement sinusoïdalement en fonction de la tension V_{in} à convertir, et qui se croisent pour plusieurs valeurs de V_{in} qui sont des valeurs de référence parfaitement déterminées, régulièrement réparties dans un intervalle de tension où V_{in} est susceptible de varier.

Le circuit de repliement de signal peut avoir deux fonctions
20 différentes (et en général il aura les deux) :

- il fournit des informations sur la position de la tension V_{in} par rapport aux différentes valeurs de référence; ces informations servent à établir les bits de poids fort de la conversion analogique-numérique,

25 - et, de plus, il fournit à sa sortie des tensions analogiques repliées qui peuvent être utilisées par des circuits d'interpolation série ou parallèle pour fournir des bits de poids plus faible améliorant la résolution de la conversion analogique-numérique.

Un but de la présente invention est de proposer un tel circuit de repliement de signal et de l'incorporer à une architecture de convertisseur
30 analogique-numérique. Le circuit proposé offre un bon compromis entre les paramètres évoqués ci-dessus, et notamment la précision et la consommation de puissance.

On propose donc un convertisseur analogique-numérique qui comporte un circuit de repliement de signal comprenant :

3

- des moyens pour produire n paires de tensions variant de manière monotone avec V_{in} , les tensions d'une paire de rang k se croisant lorsque V_{in} a une valeur de référence égale à V_k et variant linéairement autour de leur point de croisement, les tensions V_k étant régulièrement distribuées,

5 - au moins deux circuits d'aiguillage de courant, dont chacun possède au moins trois paires d'entrées et au moins deux sorties appelées sortie directe et sortie inverse,

10 un circuit d'aiguillage de rang i ayant les caractéristiques suivantes :

- il reçoit au moins les paires de tensions de rang $k-1$, k , et $k+1$, les circuits de rang différent recevant des ensembles de paires de tensions différents,

15 - il comporte une source de courant alimentant un groupe de branches montées en structure arborescente à au moins deux étages dont le dernier comporte au moins quatre branches, chaque branche d'un étage alimentant deux branches de l'étage suivant, la répartition du courant dans chaque embranchement étant fonction des paires de tension de rang $k-1$, k , et $k+1$, et les sorties directe et inverse de ce circuit étant

20 prises respectivement sur deux branches différentes du dernier étage,

les sorties directes des différents circuits d'aiguillage étant reliées entre elles pour additionner les courants qui les parcourent et fournissant un premier signal replié, et les sorties inverses étant également reliées entre elles et fournissant un deuxième signal replié complémentaire

25 du premier.

Des informations sur la position de V_{in} par rapport aux tensions de référence sont obtenues en combinant les courants issus des branches du dernier étage de plusieurs circuits d'aiguillage différents, et ces informations sont utilisées pour produire des poids forts de la conversion

30 analogique-numérique du signal V_{in} .

Deux mises en oeuvre principales de l'invention peuvent être prévues. Dans une première mise en oeuvre, les circuits d'aiguillage ont deux étages et permettent d'aiguiller le courant préférentiellement vers l'une des quatre branches du deuxième étage. Si l'un des circuits d'aiguillage

35 reçoit les paires de tension se croisant pour V_{in} égal à V_{k-1} , V_k , V_{k+1} , le

courant est aiguillé préférentiellement en fonction de la position relative de V_{in} par rapport à ces trois références. Le circuit suivant reçoit les paires de tension se croisant pour $V_{in} = V_{k+1}, V_{k+2}, V_{k+3}$; il y a au moins $(n-1)/2$ circuits d'aiguillage (éventuellement un de plus à une extrémité) s'il y a n références V_k .

Dans une autre mise en oeuvre, les circuits d'aiguillage ont trois étages, et permettent d'aiguiller le courant préférentiellement vers l'une des huit branches du troisième étage en fonction de la position de V_{in} par rapport à sept références de tension qui sont $V_{k-3}, V_{k-2}, V_{k-1}, V_k, V_{k+1}, V_{k+2}, V_{k+3}$. Le circuit d'aiguillage reçoit sept paires de tensions de commande se croisant pour ces valeurs de référence. Le circuit voisin, s'il y en a, reçoit le groupe de tensions suivantes correspondant aux références V_{k+3} et les six suivantes. On additionne les courants d'au moins trois des branches de sortie d'une part, et trois autres branches de sortie d'autre part, pour produire les deux signaux repliés complémentaires.

On pourrait généraliser à un nombre d'étages quelconque, en indiquant que le circuit de repliement de signal comprend M circuits d'aiguillage de courant à structure arborescente à Z étages alimentés par une source de courant, avec Z au moins égal à 2, chaque circuit d'aiguillage ayant $2^Z - 1$ paires d'entrées recevant chacune une paire de tensions prise parmi les n paires, les $2^Z - 1$ paires de tensions correspondant à $2^Z - 1$ références V_k adjacentes, le courant de la source étant aiguillé préférentiellement dans une branche parmi 2^Z branches de sortie en fonction des valeurs des tensions d'entrée, et le circuit d'aiguillage ayant une sortie directe obtenue par la réunion de $2^{Z-1} - 1$ branches de sortie différentes et une sortie inverse obtenue par la réunion de $2^{Z-1} - 1$ autres branches de sortie, les sorties directes des différents circuits d'aiguillage étant reliées entre elles et fournissant un premier signal replié, et les sorties inverses étant également reliées entre elles et fournissant un deuxième signal replié. Il est à noter que dans le cas où il y a au moins 3 étages dans les structures arborescentes (Z supérieur ou égal à 3), il peut n'y avoir qu'un seul circuit d'aiguillage pour faire le repliement, alors que si Z est inférieur ou égal à 2 il y a obligatoirement plusieurs circuits d'aiguillage.

Enfin, le convertisseur peut comporter un deuxième circuit de repliement de signal, utilisant des aiguillages de courant à structure

arborescente, pour produire deux autres signaux repliés, variant avec V_{in} en quadrature de phase avec les premiers. Ceci peut être utile lorsque les signaux repliés sont utilisés pour une conversion analogique-numérique fine à l'aide d'un circuit d'interpolation à plusieurs étages en cascade : le premier
5 étage reçoit alors quatre signaux repliés, dont deux sont complémentaires et les deux autres sont en quadrature de phase avec les premiers.

Dans ce cas, les circuits d'aiguillage du deuxième circuit de repliement reçoivent des paires de tensions d'entrée qui proviennent non pas des deux sorties complémentaires d'un même amplificateur, comme cela
10 se passerait pour les aiguillages du premier circuit de repliement, mais de deux sorties d'amplificateurs différents (adjacents). Ces paires de tension se croisent alors non pas pour les références V_k mais pour des références situées au milieu des intervalles entre les références V_k . Cela suppose cependant que les références V_k sont suffisamment proches les unes des
15 autres pour que les courbes de variation en fonction de V_{in} se croisent encore dans leur zone de variation linéaire.

Pour la réalisation pratique des circuits d'aiguillage à structure arborescente, on devra tenir compte du fait que les aiguillages sont constitués par des transistors et que ces transistors introduisent une chute
20 de tension de mode commun d'un étage de rang plus élevé à un étage de rang moins élevé. Il sera alors préférable que les n paires de tension de commande des aiguillages aient une tension de mode commun ajustée en fonction du rang de l'étage commandé. Si une des paires de tension doit commander plusieurs aiguillages appartenant à des étages de rangs
25 différents, on prévoira alors que cette paire de tension est dédoublée en deux paires de tension différentielles identiques mais de modes communs différents.

D'autres caractéristiques et avantages de l'invention apparaîtront
30 à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente un schéma général d'un convertisseur analogique-numérique à circuit de repliement utilisant plusieurs circuits d'aiguillage de courant;

- la figure 2 représente un diagramme de variation, en fonction de V_{in} , des paires de tension d'entrée du circuit de repliement;

- la figure 3 représente un diagramme de variation des tensions repliées;

5 - la figure 4 représente un schéma de circuit d'aiguillage à deux étages;

- la figure 5 représente l'association de plusieurs circuits d'aiguillage permettant l'élaboration des signaux repliés et des bits de poids fort de la conversion analogique-numérique;

10 - la figure 6 représente les courants dans certaines branches de circuits d'aiguillage dont les sorties sont connectées ensemble;

- la figure 7 représente les additions de courant dans les résistances $R2$ et $R2b$ de la figure 5, permettant l'élaboration du bit $B2$ de la conversion analogique-numérique;

15 - la figure 8 représente un deuxième circuit de repliement, produisant deux autres tensions repliées, en quadrature de phase avec les premières;

- la figure 9 représente un circuit d'aiguillage à structure arborescente à trois étages produisant deux tensions repliées.

20

Le convertisseur de la figure 1 comporte une circuiterie non représentée pour échantillonner et bloquer la tension à convertir; on considérera donc ci-après que la tension d'entrée à convertir est une tension échantillonnée et bloquée V_{in} .

25 Le convertisseur comporte une circuiterie pour produire, à partir de cette tension V_{in} , n paires de tensions qui sont variables en fonction de V_{in} et qui sont différentes les unes des autres. Les deux tensions d'une même paire (de rang k) varient symétriquement et se croisent lorsque V_{in} a une valeur de référence V_k . Les n valeurs V_k sont régulièrement réparties
30 dans la plage où V_{in} est susceptible de varier.

Il existe plusieurs manières de produire ces n paires de tensions. La plus simple serait de prendre n amplificateurs ayant des sorties différentielles et recevant en entrée différentielle V_{in} et V_k . L'exemple décrit sur la figure 1 utilise une autre solution avec un double pont de résistances.

La tension V_{in} est appliquée en entrée différentielle à un premier amplificateur différentiel AD qui fournit sur deux sorties des tensions $V_a = V_m + V_{in}$ et $V_b = V_m - V_{in}$, où V_m est une tension de mode commun de l'amplificateur. L'une des tensions (V_a) est appliquée en tête d'un premier pont de résistances dont le pied est alimenté par une source de courant SC1 de valeur I . L'autre tension (V_b) est appliquée en tête d'un deuxième pont de résistances dont le pied est alimenté par une source de courant SC2 de même valeur I .

Les résistances en série ont des valeurs bien définies les unes par rapport aux autres, et en pratique il y a au moins $n-1$ résistances identiques, de valeur R , dans chaque pont.

Les tensions sur les prises du premier pont sont successivement : V_a , $V_a - RI$, $V_a - 2RI$, etc., $V_a - (n-1)RI$.

Les tensions sur les prises du deuxième pont sont successivement : V_b , $V_b - RI$, $V_b - 2RI$, etc.

On a disposé n amplificateurs différentiels A_0 à A_{n-1} en aval des ponts de résistances. Le premier pont est représenté tête en bas pour simplifier la représentation des connexions entre les prises du pont et les amplificateurs.

Chaque amplificateur reçoit deux tensions d'entrée, issues l'une d'une prise intermédiaire du premier pont et l'autre d'une prise intermédiaire du deuxième pont. Par conséquent, l'une des tensions d'entrée d'un amplificateur varie comme $V_a - pRI$, c'est-à-dire comme $V_m + V_{in} - pRI$, tandis que l'autre varie comme $V_b - qRI$, c'est-à-dire comme $V_m - V_{in} - qRI$. Les entiers p et q représentent les positions des prises dans chacun des ponts, en ce sens que p résistances de valeur R sont intercalées entre la tension V_a et la prise du premier pont, tandis que q résistances sont intercalées entre la tension V_b et la prise du deuxième pont.

Les tensions à l'entrée de l'amplificateur connecté aux prises p et q sont donc égales pour $V_{in} = (p-q)RI/2$, et cet amplificateur fournit donc une tension différentielle nulle pour cette valeur.

I et R étant des valeurs bien définies, la valeur $(p-q)RI/2$ représente une tension de référence bien déterminée pouvant servir à la conversion analogique-numérique.

On peut choisir des prises intermédiaires telles que $p-q$ soit pair : $p-q=0$, $p-q=2$, $p-q=4$, $p-q=6$, etc., et $p-q=-2$, $p-q=-4$, $p-q=-6$, etc. de manière à définir n références de tension V_k régulièrement réparties qui sont 0, RI , $2RI$, $3RI$, etc. et $-RI$, $-2RI$, $-3RI$, etc.

- 5 Les n amplificateurs sont donc connectés à des couples de prises différents, chaque couple correspondant à une de ces tensions de référence.

Le premier amplificateur est connecté à une première prise ($p=0$) du premier pont et à une dernière prise ($q=n-1$) du deuxième pont; le deuxième est connecté à la deuxième prise ($p=1$) du premier pont et à l'avant dernière prise ($q=n-2$) du deuxième, et ainsi de suite, l'amplificateur du milieu est connecté à une prise médiane du premier pont et une prise médiane du deuxième pont, etc., jusqu'au dernier amplificateur qui est connecté à la dernière prise du premier pont et à la première prise du
15 deuxième pont.

Dans l'exemple représenté, il y a dix résistances utiles dans le pont et onze amplificateurs A_0 à A_{10} dont les tensions d'entrée se croisent pour V_{in} égal aux 11 références de tension V_k suivantes : $-5RI$, $-4RI$, $-3RI$, $-2RI$, $-RI$, 0, RI , $2RI$, $3RI$, $4RI$, $5RI$.

- 20 L'amplificateur différentiel A_k , de rang k dans cette série, fournit deux tensions de sortie différentielles VA_k et $V'A_k$, variant avec V_{in} en opposition de phase, de manière monotone. La tension VA_k est croissante avec V_{in} , la tension $V'A_k$ est décroissante avec V_{in} . Ces deux tensions se croisent dans une zone de variation linéaire, où elles varient linéairement, et
25 le point de croisement se situe à une valeur de V_{in} égale à une tension de référence V_k . Dans le cas où on a choisi les onze références de tension ci-dessus, réparties entre $-5RI$ et $+5RI$, l'amplificateur de rang k correspond à la référence $V_k = (k-5)RI$.

On a ainsi produit n paires de tensions variant de manière monotone avec V_{in} , les tensions d'une paire de rang k se croisant lorsque
30 V_{in} a une valeur de référence égale à V_k , les tensions V_k étant régulièrement distribuées.

La figure 2 représente les diagrammes de variation de ces paires de tension en fonction de V_{in} .

En revenant à la figure 1, ces n paires de tension servent à commander un ensemble de plusieurs circuits d'aiguillage de courant, référencés CA0 à CA5, et les sorties des différents circuits d'aiguillage seront connectées ensemble pour fournir deux signaux dits repliés, c'est-à-dire des signaux variant avec V_{in} d'une manière périodique selon une forme sensiblement sinusoïdale, les deux signaux repliés variant avec V_{in} strictement en opposition de phase et se croisant à chacune des références V_k sauf aux extrémités V_0 et V_{n-1} , dans une zone de variation linéaire autour de V_k .

Autrement dit, l'ensemble des circuits d'aiguillage va produire une seule paire de signaux repliés SR et SRb se croisant aux différents points V_k , à partir de n paires de signaux monotones se croisant chacune en un seul point V_k .

La figure 3 représente les signaux repliés par le circuit de repliement.

Le circuit de repliement est conçu selon l'invention de manière à minimiser la consommation de courant sans réduire la précision des signaux repliés (c'est-à-dire leur position par rapport aux références V_k et leur linéarité de variation en fonction de V_{in} dans les zones de croisement).

Le circuit de repliement comporte plusieurs circuits d'aiguillage de courant qui sont des structures arborescentes qu'on décrira en détail plus loin. On peut déjà dire d'une manière générale que ce sont des structures ayant Z étages d'aiguillage de courant, Z étant au moins égal à deux, et qu'elles comportent alors $2^Z - 1$ paires de tensions d'entrée pour commander les aiguillages, et 2^Z branches de sortie de courant.

Sur la figure 1, on a considéré le cas le plus simple où $Z = 2$ et il y a donc trois paires d'entrées E, Eb; F, Fb; G, Gb, et quatre branches de sortie de courant A, B, C, D dans chaque circuit d'aiguillage.

Les sorties B et C seront considérées comme sorties principales pour la production des signaux repliés et seront appelées respectivement sortie directe et sortie inverse. Les sorties A et D sont des sorties auxiliaires.

Dans l'exemple représenté à la figure 1, il y a six circuits d'aiguillage successifs CA0 à CA5.

Un circuit d'aiguillage de rang i quelconque, à l'exception des circuits d'extrémité qui sont connectés un peu différemment pour tenir

compte des effets de bord des courbes de repliement, reçoit respectivement sur ses paires d'entrées (E, Eb), (F, Fb), (G, Gb) les paires de tensions de commande issues de trois amplificateurs adjacents A_{k-1} , A_k , A_{k+1} . Le circuit suivant reçoit les trois paires suivantes avec cependant un recouvrement, en ce sens que le circuit suivant reçoit sur sa première paire d'entrées E, Eb la même paire de tensions (par exemple issue de A_{k+1}) qui est appliquée sur la dernière paire d'entrées G, Gb du circuit précédent.

Ainsi, le circuit CA1 reçoit les tensions de sortie des amplificateurs A_1 , A_2 , A_3 . Le circuit CA2 reçoit celles de A_3 , A_4 , A_5 , etc.

Le circuit de rang i reçoit donc sur ses entrées E et Eb respectivement la sortie VA_{k-1} de l'amplificateur A_{k-1} , sortie qui varie comme V_{in} et qu'on peut appeler sortie positive, et la sortie $V'A_{k-1}$ de A_{k-1} qui varie comme $-V_{in}$ et qu'on peut appeler sortie négative; sur ses entrées F et Fb, il reçoit respectivement la sortie positive VA_k et la sortie négative $V'A_k$ de A_k ; et sur G et Gb il reçoit la sortie positive VA_{k+1} et la sortie négative $V'A_{k+1}$ de A_{k+1} .

Le circuit d'extrémité CA0 ne reçoit que les sorties de A_0 (sur E, Eb et F, Fb) et A_1 (sur G, Gb). Le circuit de l'autre extrémité CA5 ne reçoit que celles de A_9 (sur E, Eb) et A_{10} (sur F, Fb et G, Gb).

Les sorties principales directes B des circuits d'aiguillage CA1 à CA5 sont reliées ensemble et sont reliées à une résistance de charge R_s . Cette résistance a pour rôle d'additionner les courants issus de ces sorties directes, et de convertir la somme de courants en tension. La tension produite représente alors un premier signal replié SR tel que celui de la figure 3. En pratique, on insérera un transistor en montage cascode (base à potentiel constant V_H) en série entre les sorties B réunies et la résistance R_s , pour rendre la tension sur les sorties B indépendante de la somme des courants traversant la résistance R_s . Le signal replié SR est alors prélevé au point de jonction de la résistance et du collecteur du transistor.

De la même façon, les sorties inverses C des circuits d'aiguillage CA0 à CA4 sont reliées à une autre résistance de charge R_{sb} et fournissent le deuxième signal replié SR_b , variant avec V_{in} en opposition de phase avec le premier.

Pour terminer le repliement aux extrémités de la gamme de variation de V_{in} , on utilise les deux références extrêmes V_0 et V_{10} , et on relie

les sorties A et B du circuit CA0 à la résistance Rsb et les sorties C et D du circuit CA5 à la résistance Rs.

Les sorties auxiliaires A et D des différents circuits d'aiguillage sont utilisées pour recueillir des informations sur la position de Vin par rapport aux différentes références V_k et ainsi obtenir des bits de poids forts B0, B1, B2, d'une conversion analogique-numérique dont les bits de poids faible seront obtenus à l'aide d'un circuit d'interpolation, non représenté, à partir des signaux repliés SR et SRb.

On reviendra plus loin sur cette utilisation des sorties A et D pour les bits de poids fort, mais globalement on peut déjà indiquer ici qu'il sera nécessaire de combiner les courants des sorties auxiliaires A et D de plusieurs circuits d'aiguillage pour obtenir ces bits B0 à B1, B2.

L'architecture générale du circuit de repliement ayant ainsi été décrite en référence à la figure 1, on va maintenant décrire la constitution précise des circuits d'aiguillage.

Chaque circuit d'aiguillage a une structure arborescente pour aiguiller le courant d'une seule source de courant attachée à ce circuit, préférentiellement vers l'une ou l'autre de plusieurs branches différentielles organisées en étages successifs. Il s'agit d'une structure d'aiguillage arborescente en ce sens que chaque branche d'un étage se subdivise en deux branches d'un étage supérieur, et le courant se subdivise dans ces deux branches en fonction d'une commande d'aiguillage respective pour chaque embranchement. Cette commande d'aiguillage est effectuée par une paire de tensions d'entrée, et la répartition du courant dans les deux branches est fonction de la différence entre ces tensions d'entrée. Il y a autant de paires de tensions de commande qu'il y a d'embranchements : trois pour une structure à deux étages, sept pour une structure à trois étages, $2^Z - 1$ pour Z étages.

La figure 4 représente la structure d'aiguillage la plus simple selon l'invention, c'est-à-dire une structure à deux étages.

Elle comprend une source de courant SC délivrant un courant constant I_0 qui est le même pour tous les circuits d'aiguillage.

La source de courant SC alimente deux branches différentielles (premier étage d'aiguillage) dont chacune se divise elle-même en deux autres branches (deuxième étage d'aiguillage).

Les branches différentielles BF et BFb du premier étage comprennent chacune un transistor QF, QFb, relié par son émetteur à la source de courant à travers une résistance d'émetteur. Ces transistors commandent l'aiguillage unique du premier étage de la structure arborescente. Les bases de ces transistors sont les entrées Fb et F du circuit d'aiguillage et elles reçoivent les tensions V_{A_k} et V_{A_k} de l'amplificateur A_k , tensions qui se croisent pour $V_{in} = V_k$. Le courant est aiguillé principalement dans la branche BF si V_{in} est supérieur à V_k et principalement dans la branche BFb si V_{in} est inférieur à V_k .

Autour de V_k , le partage du courant dans les deux branches varie linéairement avec V_{in} . Les résistances d'émetteur ont d'ailleurs seulement pour rôle d'augmenter la plage de linéarité de variation des courants dans les branches, au voisinage du point de croisement V_k .

La branche BFb se subdivise en deux branches BE, BEb avec un transistor QE et un transistor QEb respectivement, contrôlés par les tensions $V_{A_{k-1}}$ et $V_{A_{k-1}}$. Les transistors QE et QEb constituent un premier aiguillage du deuxième étage de la structure arborescente. Ils sont connectés par leurs émetteurs à la branche BFb, c'est-à-dire au collecteur du transistor QFb. Des résistances d'émetteur peuvent également être prévues pour les transistors QE et QEb. Le courant de la branche BFb est aiguillé principalement dans la branche BEb ou dans la branche BE selon que V_{in} est inférieur ou supérieur à V_{k-1} , et le partage du courant varie linéairement avec V_{in} au voisinage de V_{k-1} .

La branche BF se subdivise elle aussi en deux branches BG et BGb comportant respectivement un transistor QG et un transistor QGb, constituant un deuxième aiguillage du deuxième étage, identique au premier aiguillage. L'aiguillage est contrôlé par la tension différentielle entre $V_{A_{k+1}}$ et $V_{A_{k+1}}$; le courant de la branche BF est aiguillé principalement dans la branche BGb ou dans la branche BG selon que V_{in} est inférieur ou supérieur à V_{k+1} . Le partage du courant varie linéairement au voisinage de V_{k+1} .

Le collecteur du transistor QE constitue la sortie en courant B du circuit (sortie directe). Le collecteur du transistor QGb constitue la sortie en courant C du circuit (sortie inverse). Ces sorties servent à l'élaboration des signaux repliés. Elles sont reliées à un potentiel positif par l'intermédiaire

des résistances R_s et R_{sb} (figure 1) qui convertissent le courant en tension après sommation des courants de plusieurs circuits d'aiguillage.

Les collecteurs des transistors QG et QEb constituent les sorties auxiliaires A et D du circuit d'aiguillage, destinées à l'élaboration d'informations sur la position de V_{in} par rapport aux repliements successifs du signal.

On fera ici une remarque pratique sur la commande des transistors du circuit par des tensions différentielles V_{A_k} , V'_{A_k} : il est souhaitable que les transistors QE, QEb, QG, QGb, du deuxième étage d'aiguillages soient alimentés par des tensions différentielles dont le mode commun est plus élevé que celui des tensions différentielles qui commandent les transistors QF, QFb du premier étage, pour tenir compte du fait qu'il y a forcément une différence de polarisation des transistors du deuxième étage par rapport à ceux du premier étage.

Les amplificateurs A_{k+1} et A_{k-1} devraient donc avoir des sorties dont le niveau de mode commun est décalé par rapport aux sorties de A_k . Mais comme d'autres circuits d'aiguillage voisins reçoivent A_{k+1} ou A_{k-1} sur leur premier étage d'aiguillage et non sur le deuxième, il faut en pratique prévoir que chacun des amplificateurs tels que A_k comporte non pas seulement deux sorties V_{A_k} , V'_{A_k} , ayant le mode commun adapté à la commande d'un premier étage d'aiguillage, mais aussi deux autres sorties, fournissant la même tension différentielle mais avec un mode commun décalé, adaptées à la commande des transistors d'un deuxième étage d'aiguillage.

On n'a pas représenté cette particularité pour ne pas alourdir le schéma, mais on sait bien réaliser des étages de décalage de niveau en sortie des amplificateurs différentiels. Ces étages conservent les tensions différentielles en décalant leur tension de mode commun.

Pour des structures d'aiguillage à trois étages ou plus il faut aussi tenir compte de ce problème et prévoir des sorties de mode commun décalé là où c'est nécessaire.

La structure de base du circuit d'aiguillage est représentée à la figure 4 sans les éléments de circuit auxiliaires permettant d'alimenter en courant les différentes branches du circuit. On comprend cependant que le fonctionnement en circuit d'aiguillage de courant n'est possible que si les

sorties A, B, C, D sont reliées à un potentiel positif susceptible de fournir le courant tiré par la source SC. En ce qui concerne les sorties B et C, on a déjà expliqué en référence à la figure 1 qu'elles sont reliées à l'alimentation Vcc par les résistances Rs et Rsb utilisées en commun par tous les circuits d'aiguillage CA0 à CA5. En ce qui concerne les sorties A et D, on pourrait les relier simplement à la tension d'alimentation Vcc, de préférence à travers un transistor monté en cascode (base commune). Dans ce cas elles n'auraient pas d'utilité en tant que sorties, et elles ne serviraient qu'à assurer un fonctionnement correct de l'aiguillage pour élaborer les signaux repliés.

On préfère cependant, comme on l'a dit, utiliser les sorties A et D pour élaborer des informations de position de Vin par rapport aux références V_k , ces informations constituant les poids forts de la conversion analogique-numérique dans la gamme V_0 à V_{n-1} .

Cette utilisation des sorties A et D nécessite dans ce cas un couplage des sorties A et D de divers circuits d'aiguillage, comme cela est d'ailleurs représenté sur la figure 1, et ce sont les sorties couplées qui seront reliées à une alimentation positive. Le couplage dépend du codage qui est utilisé dans la conversion analogique-numérique.

Avant d'entrer dans le détail de ce couplage des sorties A et D, on peut résumer en quelques mots la raison pour laquelle les circuits d'aiguillage couplés par leurs sorties B et C produisent des signaux repliés SR et SRb tels que ceux de la figure 3.

On peut prendre par exemple le circuit d'aiguillage CA2 et observer le comportement du courant de la sortie B, c'est-à-dire le courant dans la branche BE de CA2. Quand Vin est largement inférieur à V_3 , le courant passe principalement dans la branche BFb, et de là va principalement dans la branche BEb. La branche BE ne laisse guère passer de courant. Puis quand Vin se rapproche de V_3 , le courant de la branche BFb commence à passer sensiblement dans la branche BE et même majoritairement dans la branche BE lorsqu'on dépasse V_3 ; mais lorsque Vin se rapproche de V_4 puis dépasse V_4 , le courant dans la branche BFb diminue progressivement de sorte que même si la branche BE devient privilégiée par rapport à la branche BEb, elle est de moins en moins alimentée. Enfin, lorsque Vin devient largement supérieur à V_4 , la branche

BE ne reçoit plus du tout de courant. Le courant dans la branche BE part donc de zéro et revient à zéro après être passé par un maximum au milieu de l'intervalle entre V_3 et V_4 . Il en est de même du courant dans la branche BE du circuit d'aiguillage suivant CA3, mais le maximum de courant se situe
 5 entre V_5 et V_6 , de sorte que lorsque le courant dans la branche BE du circuit CA2 arrive vers zéro, le courant dans la branche BE du circuit CA3 a déjà commencé à croître. La somme des deux courants passe alors par un maximum entre V_3 et V_4 , puis un minimum non nul situé entre V_4 et V_5 , puis de nouveau un maximum entre V_5 et V_6 . La courbe globale de variation de
 10 la somme des courants dans plusieurs circuits d'aiguillage est une sinusoïde telle que celle de la figure 3, dont les maxima et minima sont situés au milieu des intervalles entre deux tensions V_k adjacentes.

On revient maintenant à la composition des sorties A et D, destinées à fournir des informations binaires sur la position de V_{in} par
 15 rapport aux références V_k . Cette composition se fonde sur des raisonnements analogues d'additions de courant dans des branches commandées par des aiguillages différents.

Dans l'exemple décrit, on préfère utiliser un code de Gray pour coder numériquement la valeur de V_{in} , car ce code peut être obtenu avec
 20 des couplages simples entre les différents circuits d'aiguillage.

La figure 5 représente plus précisément le couplage entre les six circuits d'aiguillage, toujours dans le cas où il y a 11 références V_k définies par les ponts diviseurs.

Pour bien faire comprendre ce couplage, on rappelle que les
 25 poids forts B0, B1, B2 du code de Gray peuvent être obtenus de la manière suivante par rapport aux tensions de référence de la conversion :

B0 = 0 si V_{in} est inférieur à V_1 ou supérieur à V_9
 B0 = 1 si V_{in} est dans la gamme utile entre V_1 et V_9

30 B1 = 0 si V_{in} est dans le bas de la gamme : $V_{in} < V_5$
 B1 = 1 si V_{in} est dans le haut de la gamme : $V_{in} > V_5$

B2 = 0 si V_{in} est inférieur à V_3 ou supérieur à V_7
 B2 = 1 si V_{in} est compris entre V_3 et V_7

35 Le tableau de codage est alors le suivant :

16

	V_1	V_2	V_3	V_4	V_5	V_6	V_7	V_8	V_9
B0 =	0	1	1	1	1	1	1	1	0
B1 =	0	0	0	0	0	1	1	1	1
B2 =	0	0	0	1	1	1	1	0	0
(B3 =	1	0	1	0	1	0	1	0	1

Le bit B3, définissant la position de V_{in} par rapport à V_2 , V_4 , V_6 , et V_8 , est défini dans ce cas en binaire pur et non en code de Gray, parce que c'est plus simple à réaliser :

B3 = 1 si V_{in} est compris entre V_2 et V_3 , ou V_4 et V_5 , ou V_6 et V_7 , ou V_8 et V_9 ,
 B3 = 0 dans le cas contraire.

La branche BEb du circuit CA2 reçoit préférentiellement un courant si V_{in} est inférieur à V_3 . La branche BG du circuit CA3 reçoit préférentiellement un courant si V_{in} est supérieur à V_7 . La figure 6 représente ces courants en fonction de V_{in} . On réunit ces courants dans une résistance R2 en passant par un transistor en montage cascode. La figure 7 représente l'addition de ces courants (courbe inférieure sur la figure). On rajoute de plus une source de courant de valeur I_0 pour que ce courant I_0 s'ajoute aux deux précédents dans la résistance R2 (courbe pointillée sur la figure 7).

Inversement, un courant passe préférentiellement dans la branche BG de CA1 si V_{in} est supérieur à V_3 , et un courant passe préférentiellement dans la branche BEb de CA4 si V_{in} est inférieur à V_7 . La figure 6 représente également ces courants. On réunit ces courants dans une résistance R2b, en passant par un transistor en montage cascode. La figure 7 représente également l'addition de ces deux courants dans la résistance R2b (courbe supérieure en trait plein).

Les courbes de courant dans R2 et R2b se croisent pour V_{in} égal à V_3 et se croisent à nouveau pour V_{in} égal à V_7 . La comparaison de ces courants (par comparaison des tensions aux bornes de R2 et R2b) indique sans ambiguïté si V_{in} est située entre V_3 et V_7 , ce qui donne le bit B2 et son complément B2b.

Les résistances R2 et R2b servent donc comme on le voit à la fois à effectuer une sommation de courant (qui est une fonction OU analogique) et une conversion courant-tension. Ces explications détaillées permettent de comprendre la structure complète des connexions de la figure 5.

5 En effet, outre les connexions qui viennent d'être décrites et qui servent à établir les bits B2 et B2b, on prévoit des connexions analogues pour établir le bit B1 et son complément B1b. Il suffit de prendre la sortie A du circuit CA3, qui fournit préférentiellement un courant si V_{in} est inférieur à V5 (bit B1), et la sortie D du circuit CA2, qui fournit préférentiellement un
10 courant si V_{in} est supérieur à V5. La sortie A est reliée à une résistance R1 de conversion courant-tension. La sortie D est reliée à une résistance identique R1b. Le signe de la tension différentielle entre les deux résistances représente la valeur du bit B1.

Pour établir le bit B0 et son complément B0b, on relie la sortie A
15 de CA1 (courant préférentiel si $V_{in} < V_0$) et la sortie D de CA4 (courant préférentiel si $V_{in} > V_9$) à une résistance de sommation et de conversion R0, et on relie la sortie D de CA0 à la sortie A de CA5 et à une résistance de sommation et de conversion R0b. Une source de courant de valeur I_0 rajoute un courant sur la résistance R0, comme pour la résistance R2 et pour les
20 mêmes raisons (obtenir deux courbes de courant symétriques dans R0 et R0b qui se croisent pour V_1 et V_9).

Le dernier bit B3 des poids forts de la conversion analogique-numérique faite par le circuit de repliement peut être obtenu en comparant les signaux repliés SR et SRb puisque la différence entre ces signaux
25 change de signe à chaque valeur V_k .

Des comparateurs logiques non représentés sont prévus pour fournir les bits B0 à B3 et leurs compléments sous forme logique à partir des tensions analogiques présentes aux bornes des résistances.

Les signaux repliés SR et SRb peuvent être appliqués à une
30 structure d'interpolation à partir de laquelle on dérive des bits supplémentaires de poids faible de la conversion analogique-numérique.

Si la structure d'interpolation est une structure parallèle recevant les signaux repliés et élaborant en parallèle les comparaisons entre les signaux repliés et des références de tension, on peut se contenter des
35 signaux SR et SRb. C'est le cas par exemple si les signaux repliés sont

appliqués à un double pont diviseur du même genre que celui représenté à la figure 1, ou à un pont diviseur simple dont les prises définissent des tensions de référence connues.

Si au contraire la structure est une structure en cascade, dans laquelle on crée successivement des références de tension intermédiaires fictives pour obtenir les bits de poids de plus en plus faible, il sera en général nécessaire de disposer de deux autres signaux repliés SRQ et SRQb, dont les courbes de variation avec V_{in} sont en quadrature de phase avec celles des deux premiers SR et SRb. C'est le cas lorsqu'on crée, par mélange de deux paires de tensions analogiques en quadrature de phase, deux autres paires de tensions repliées, également en quadrature de phase, et ayant, outre les points de croisement précédents, de nouveaux points de croisement situés au milieu de l'intervalle entre les points de croisement précédents.

La figure 8 montre comment on peut créer les signaux repliés en quadrature de phase SRQ et SRQb à partir des sorties des mêmes amplificateurs différentiels A_0 à A_{n-1} , à l'aide d'autres circuits d'aiguillage de courant. Les circuits d'aiguillage CA0 à CA5 servant à élaborer les premiers signaux repliés n'ont pas été représentés sur la figure 8 pour ne pas compliquer la figure. On a représenté les cinq circuits d'aiguillage CA'1 à CA'5, qui sont identiques aux circuits de la figure 4 et qui ont donc chacun quatre sorties A, B, C, D et trois paires d'entrées (Eb, E), (Fb, F), et (Gb, G).

Alors qu'une paire d'entrée d'un circuit d'aiguillage de la figure 1 reçoit systématiquement une paire de sorties d'un des amplificateurs A_0 à A_{n-1} , ici une paire d'entrées d'un circuit d'aiguillage reçoit une sortie positive d'un amplificateur, par exemple A_k , et une sortie négative d'un amplificateur adjacent A_{k+1} ou A_{k-1} . Ces paires de tensions se croisent pour des références de tension V'_k au milieu des intervalles entre les références V_k , et les additions de courants obtenues en reliant toutes les sorties B et toutes les sorties C des circuits d'aiguillage permettent d'élaborer des signaux SRQ et SRQb repliés, en quadrature de phase avec SR et SRb.

Typiquement, la paire d'entrées Fb, F d'un circuit d'aiguillage de rang i reçoit respectivement la sortie négative de A_k et la sortie positive de A_{k-1} . La paire Eb, E reçoit la sortie négative de A_{k-1} et la sortie positive de

A_{k-2} . La paire G_b, G reçoit la sortie négative de A_{k+1} et la sortie positive de A_k .

Comme à la figure 4, les sorties B sont toutes reliées ensemble (sortie directe) et reliées par l'intermédiaire d'un transistor cascode à une
5 résistance alimentée par V_{cc} . Et toutes les sorties C sont reliées par l'intermédiaire d'un autre transistor cascode à une autre résistance reliée à V_{cc} . Les signaux repliés SRQ et SRQb sont prélevés sur les résistances.

Pour terminer le repliement du côté de V_0 et du côté de V_{10} , on prévoit que la sortie A de C'A1 est reliée à la sortie C, et que la sortie D de
10 C'A5 est reliée à la sortie B.

Si on n'a pas besoin d'élaborer d'autres informations logiques toutes les autres branches A ou D non utilisées pour le repliement peuvent être connectées à V_{cc} par l'intermédiaire de transistors cascode comme cela est représenté sur la figure 8. Si on a besoin d'élaborer des informations
15 logiques supplémentaires liées à la position de V_{in} par rapport aux références V_k , on peut le faire en reliant entre elles les sorties A et/ou D de certains circuits d'aiguillage.

Les circuits de repliement décrits en référence aux figures précédentes utilisent des circuits d'aiguillage de courant arborescents à
20 deux étages. L'invention propose d'étendre ce concept à trois étages, voire plus.

La figure 9 représente un circuit d'aiguillage à trois étages.

On peut déjà noter que l'invention est alors utilisable même avec un seul circuit d'aiguillage lorsque le nombre de tensions de référence de
25 croisement des signaux repliés est inférieur ou égal à huit.

S'il est supérieur à huit, il faut connecter ensemble les sorties de plusieurs circuits d'aiguillage comme dans le cas des circuits d'aiguillage à deux étages.

Le premier étage d'aiguillage de la figure 9 comprend deux
30 branches BH et BHb, comprenant respectivement le transistor QH commandé par l'entrée H et le transistor QHb commandé par l'entrée Hb. Des résistances d'émetteur peuvent être prévues. L'entrée H recevra une tension VA_k issue d'un amplificateur différentiel A_k . L'entrée Hb recevra une tension complémentaire $V'A_k$. Les tensions VA_k et $V'A_k$ se croisent pour la
35 référence V_k .

La branche BH se divise en deux branches BJ, BJb avec des transistors d'aiguillage QJ, QJb. La branche BHb se divise en deux branches BF, BFb, avec deux transistors d'aiguillage QF, QFb. Les quatre branches BF, BFb, BJ, BJb constituent le deuxième étage d'aiguillages, et
 5 ce deuxième étage comprend deux aiguillages. Les tensions appliquées aux entrées de commande F, Fb et J, Jb de ces deux aiguillages sont issues des amplificateurs A_{k-2} et A_{k+2} respectivement. Ces tensions se croisent pour les références V_{k-2} et V_{k+2} respectivement.

Les branches BJ, BJb, BF, BFb se subdivisent encore chacune en
 10 deux branches constituant le troisième étage d'aiguillages. Il y a quatre aiguillages dans le troisième étage. Ces quatre aiguillages, répartissant le courant entre les huit branches BK, BKb, BI, BIlb, BG, BGb, BE, BEb, avec leurs transistors respectifs QK, QKb, QI, QIlb, QG, QGb, QE, QEb, sont commandés par les paires de tensions de sortie des amplificateurs A_{k-3} , A_{k-1} ,
 15 A_{k+1} , A_{k+3} respectivement. Les paires de tensions se croisent pour les références V_{k-3} , V_{k-1} , V_{k+1} , V_{k+3} .

Ces huit branches constituent les huit branches de sortie de l'aiguillage à structure arborescente. Les courants de ces branches sont recueillis sur les sorties A, B, C, D pour les branches BE, BG, BI, BK, et sur
 20 les sorties A', B', C', D', pour les branches BEb, BGb, BIlb, BKb.

Le repliement de signal est effectué dans ce circuit d'aiguillage même, en réunissant les sorties A, B, C, D d'une part et les sorties A', B', C', D' d'autre part. Les courants des branches réunies s'additionnent dans deux résistances R et Rb respectivement, avec interposition d'un transistor
 25 cascode si on le souhaite. Les signaux repliés SR, SRb sont prélevés aux bornes de la résistance correspondante.

Ce circuit d'aiguillage peut être couplé à un circuit voisin recevant les sorties d'amplificateurs A_{k+3} à A_{k+10} , en utilisant les principes exposés à propos des circuits d'aiguillage à deux étages : en pratique, deux circuits
 30 d'aiguillage voisins reçoivent des tensions issues d'amplificateurs différents, avec toutefois un recouvrement en ce sens que les entrées K, Kb d'un circuit d'aiguillage reçoivent les mêmes tensions que les entrées E, Eb de l'aiguillage suivant. Les sorties ABCD de l'un des circuits d'aiguillage sont reliées aux sorties ABCD de l'autre étage, à l'exception de celle des sorties
 35 qui correspond à un recouvrement. De même pour les sorties A', B', C', D'.

Par exemple, s'il y a deux circuits d'aiguillage adjacents, les sorties ABC du premier circuit seront reliées aux sorties ABCD du second, et les sorties A'B'C'D' du premier circuit seront reliées aux sorties A'B'C' du second.

REVENDICATIONS

1. Convertisseur analogique-numérique caractérisé en ce qu'il
- 5 comporte un circuit de repliement de signal comprenant :
- des moyens pour produire n paires de tensions ($VA_k, V'A_k$) variant de manière monotone avec V_{in} , les tensions d'une paire de rang k se croisant lorsque V_{in} a une valeur de référence égale à V_k et variant linéairement autour de ce point de croisement, les tensions V_k étant
- 10 régulièrement distribuées,
- au moins deux circuits d'aiguillage de courant (CA1 à CA4), dont chacun possède au moins trois paires d'entrées (E,Eb; F,Fb; G,Gb) et au moins deux sorties appelées sortie directe (B) et sortie inverse (C),
- un circuit d'aiguillage de rang i ayant les
- 15 caractéristiques suivantes :
- il reçoit au moins les paires de tensions de rang $k-1, k$, et $k+1$, les circuits de rang différent recevant des ensembles de paires de tensions différents,
 - il comporte une source de courant (SC)
- 20 alimentant un groupe de branches montées en structure arborescente à au moins deux étages dont le dernier comporte au moins quatre branches (BEb, BE, BGb, BG), chaque branche d'un étage alimentant deux branches de l'étage suivant, la répartition du courant dans chaque embranchement étant fonction des paires de tension de rang $k-1, k$, et $k+1$, et les sorties
- 25 directe et inverse de ce circuit étant prises respectivement sur deux branches différentes du dernier étage,
- les sorties directes (B) des différents circuits d'aiguillage étant reliées entre elles pour additionner les courants qui les parcourent et fournissant un premier signal replié (SR), et les sorties inverses (C) étant
- 30 également reliées entre elles et fournissant un deuxième signal replié SRb complémentaire du premier.
2. Convertisseur selon la revendication 1, caractérisé en ce que les circuits d'aiguillage ont deux étages et permettent d'aiguiller le courant
- 35 préférentiellement vers l'une des quatre branches du deuxième étage.

3. Convertisseur selon la revendication 2, caractérisé en ce qu'il comprend au moins $(n-1)/2$ circuits d'aiguillage pour produire les signaux repliés SR et SRb.

5

4. Convertisseur selon la revendication 1, caractérisé en ce que les circuits d'aiguillage ont trois étages et permettent d'aiguiller le courant préférentiellement vers l'une ou l'autre de huit branches du troisième étage en fonction de la position de V_{in} par rapport à sept références de tension qui sont $V_{k-3}, V_{k-2}, V_{k-1}, V_k, V_{k+1}, V_{k+2}, V_{k+3}$, des moyens (R_s, R_{sb}) étant prévus pour additionner d'une part les courants circulant dans au moins trois des branches et d'autre part les courants circulant dans au moins trois autres branches.

5. Convertisseur selon la revendication 4, caractérisé en ce que le circuit de repliement de signal comprend M circuits d'aiguillage de courant à structure arborescente à Z étages alimentés par une source de courant, avec Z au moins égal à 2, chaque circuit d'aiguillage ayant $2^Z - 1$ paires d'entrées recevant chacune une paire de tensions prise parmi les n paires, les $2^Z - 1$ paires de tensions correspondant à $2^Z - 1$ références V_k adjacentes, le courant de la source étant aiguillé préférentiellement dans une branche parmi 2^Z branches de sortie en fonction des valeurs des tensions d'entrée, et le circuit d'aiguillage ayant une sortie directe obtenue par la réunion de $2^{Z-1} - 1$ branches de sortie différentes et une sortie inverse obtenue par la réunion de $2^{Z-1} - 1$ autres branches de sortie, les sorties directes des différents circuits d'aiguillage étant reliées entre elles et fournissant un premier signal replié, et les sorties inverses étant également reliées entre elles et fournissant un deuxième signal replié.

6. Convertisseur selon l'une des revendications 1 à 5, caractérisé en ce que les circuits d'aiguillage comportent des sorties auxiliaires fournissant des courants en fonction de la position de V_{in} par rapport aux références V_k , et en ce que les sorties auxiliaires sont utilisées pour établir une information logique de poids fort sur la position de V_{in} par rapport aux références V_k .

7. Convertisseur selon l'une des revendications 1 à 6, caractérisé en ce que les circuits d'aiguillage comportent des transistors dans chaque étage d'aiguillage, ces transistors étant commandés par les sorties d'amplificateurs différentiels fournissant les paires de tension VA_k , $V'A_k$, les amplificateurs fournissant des tensions différentielles $VA_k - V'A_k$ avec un mode commun qui dépend du rang de l'étage d'aiguillage dans la structure arborescente.
- 10 8. Convertisseur selon l'une des revendications 1 à 7, caractérisé en ce qu'il comporte un deuxième circuit de repliement comportant des circuits d'aiguillage de courant à structure arborescente, les circuits d'aiguillage recevant sur une paire d'entrées l'une tensions d'une paire de tensions de rang k et l'une des tensions d'une paire de rang adjacent, pour
- 15 obtenir deux autres signaux repliés complémentaires variant en fonction de V_{in} en quadrature de phase avec les deux premiers signaux repliés.

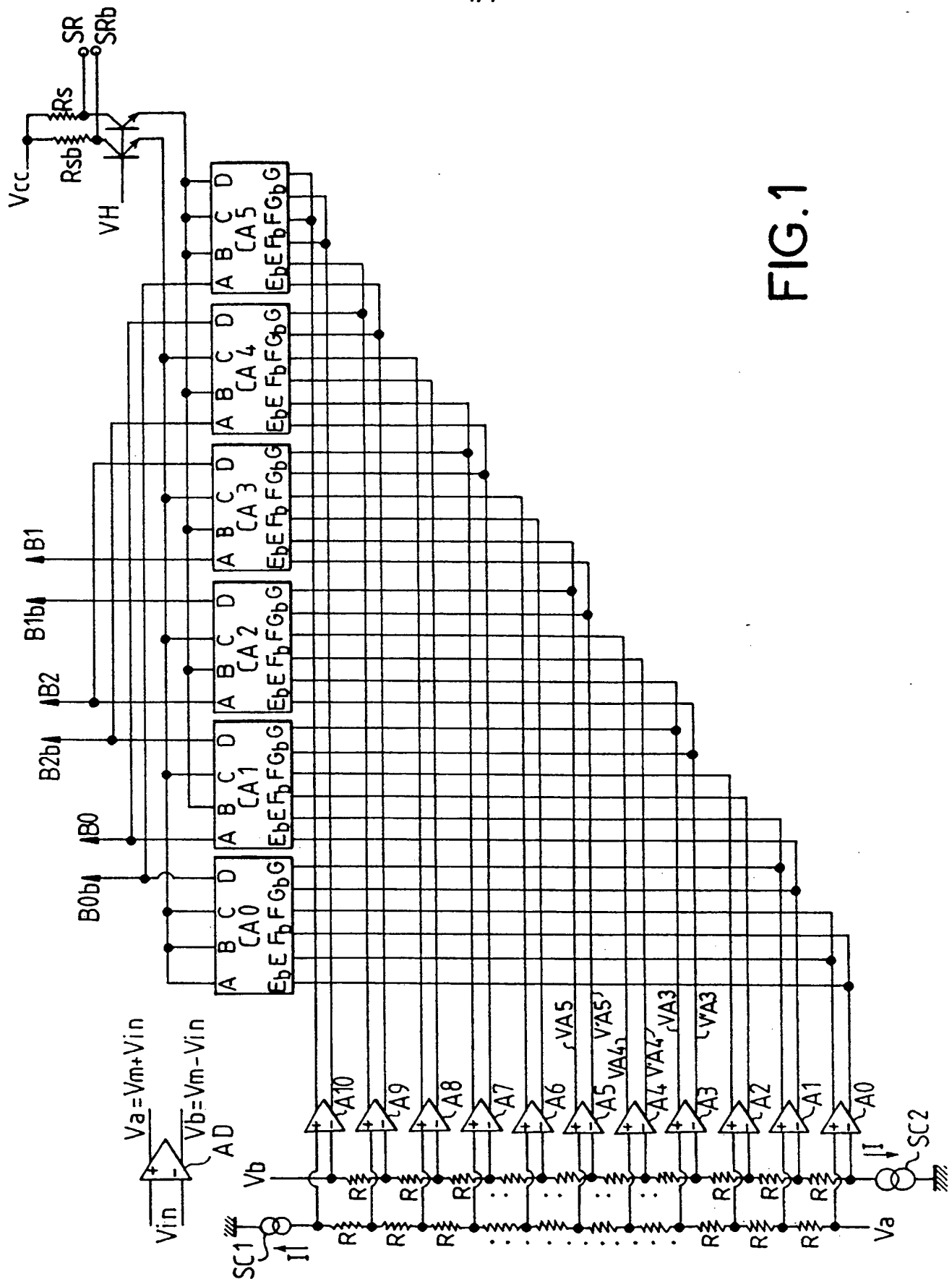


FIG.1

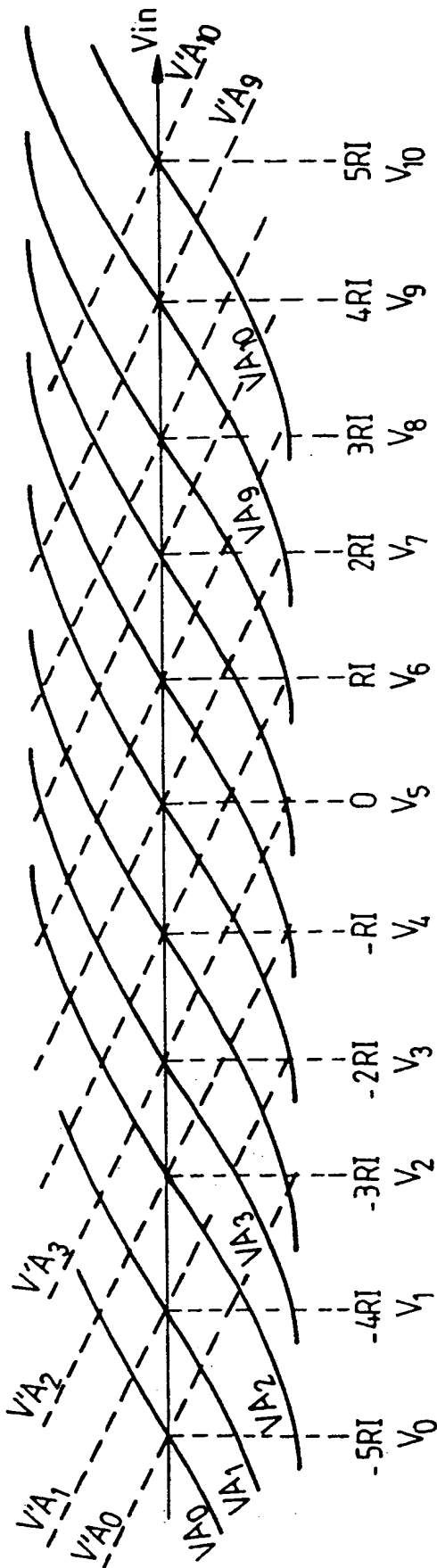


FIG. 2

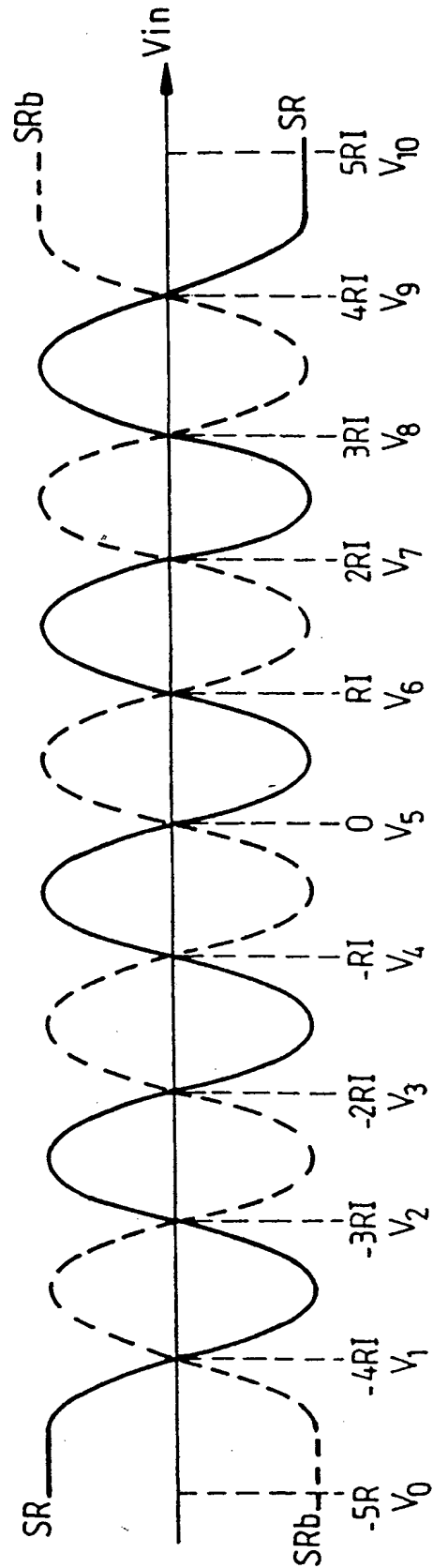


FIG. 3

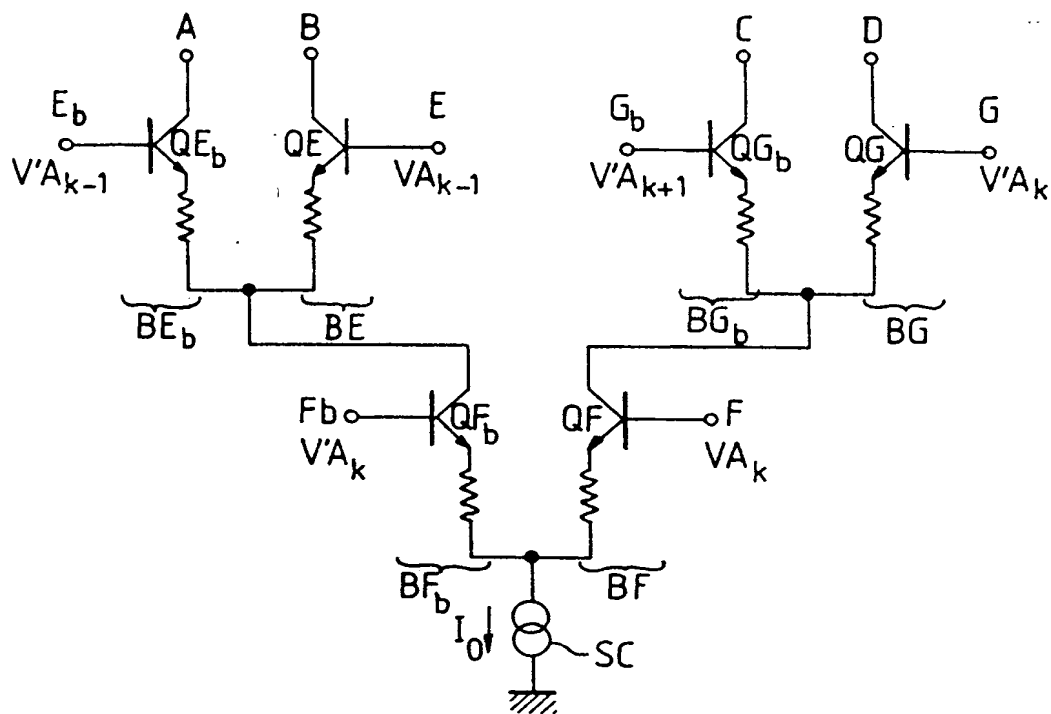
CIRCUIT D'AIGUILLAGE CA_i

FIG.4

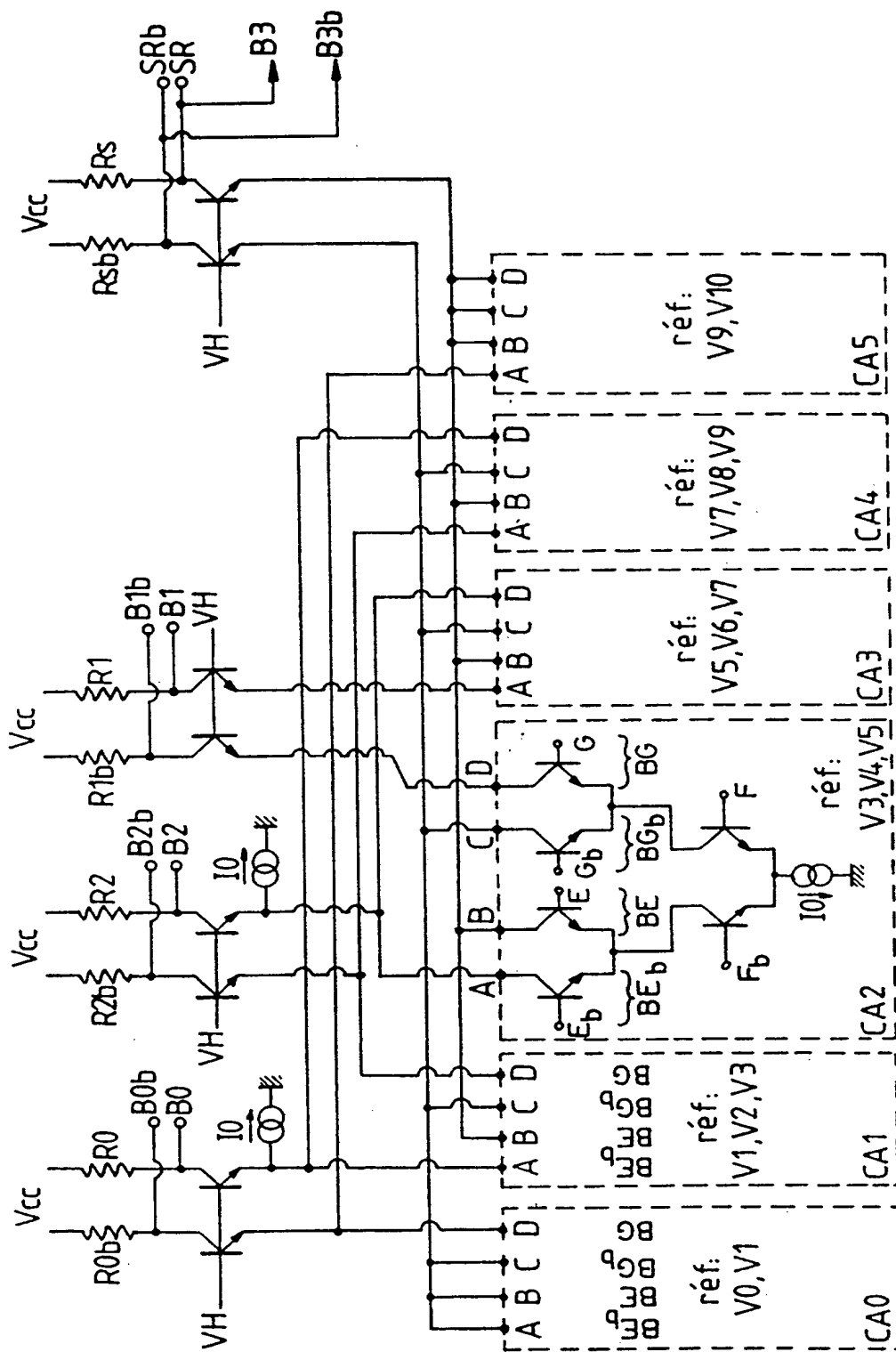


FIG. 5

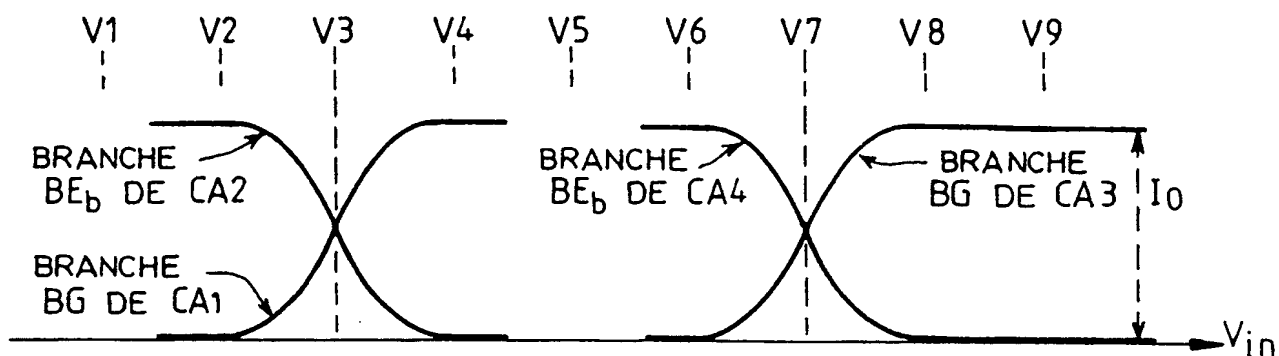


FIG. 6

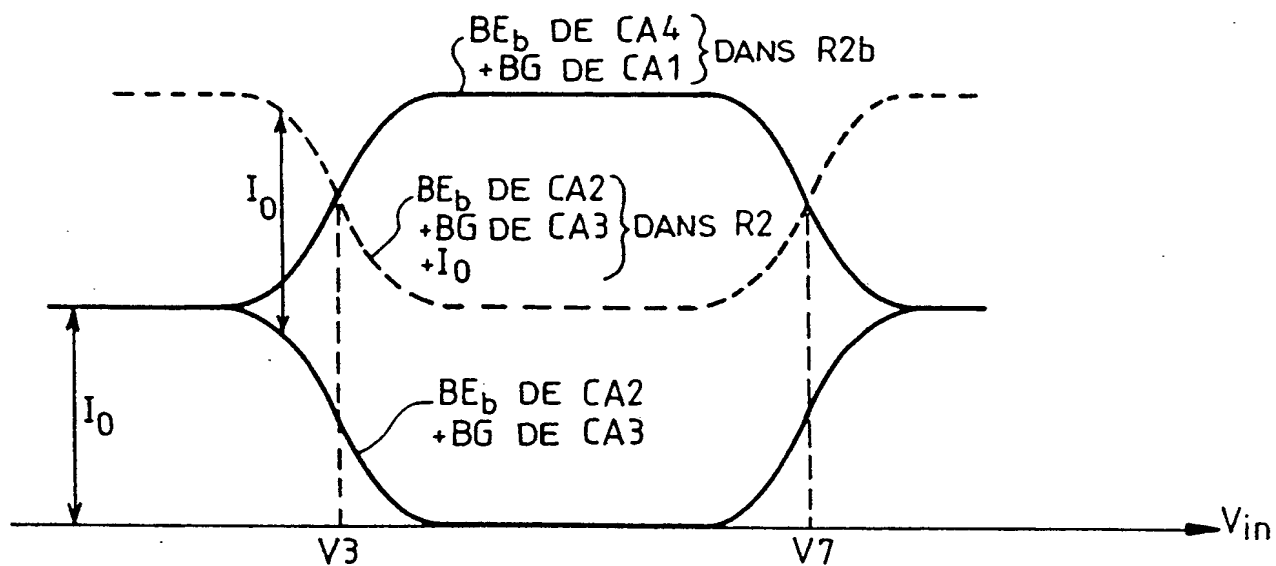


FIG. 7

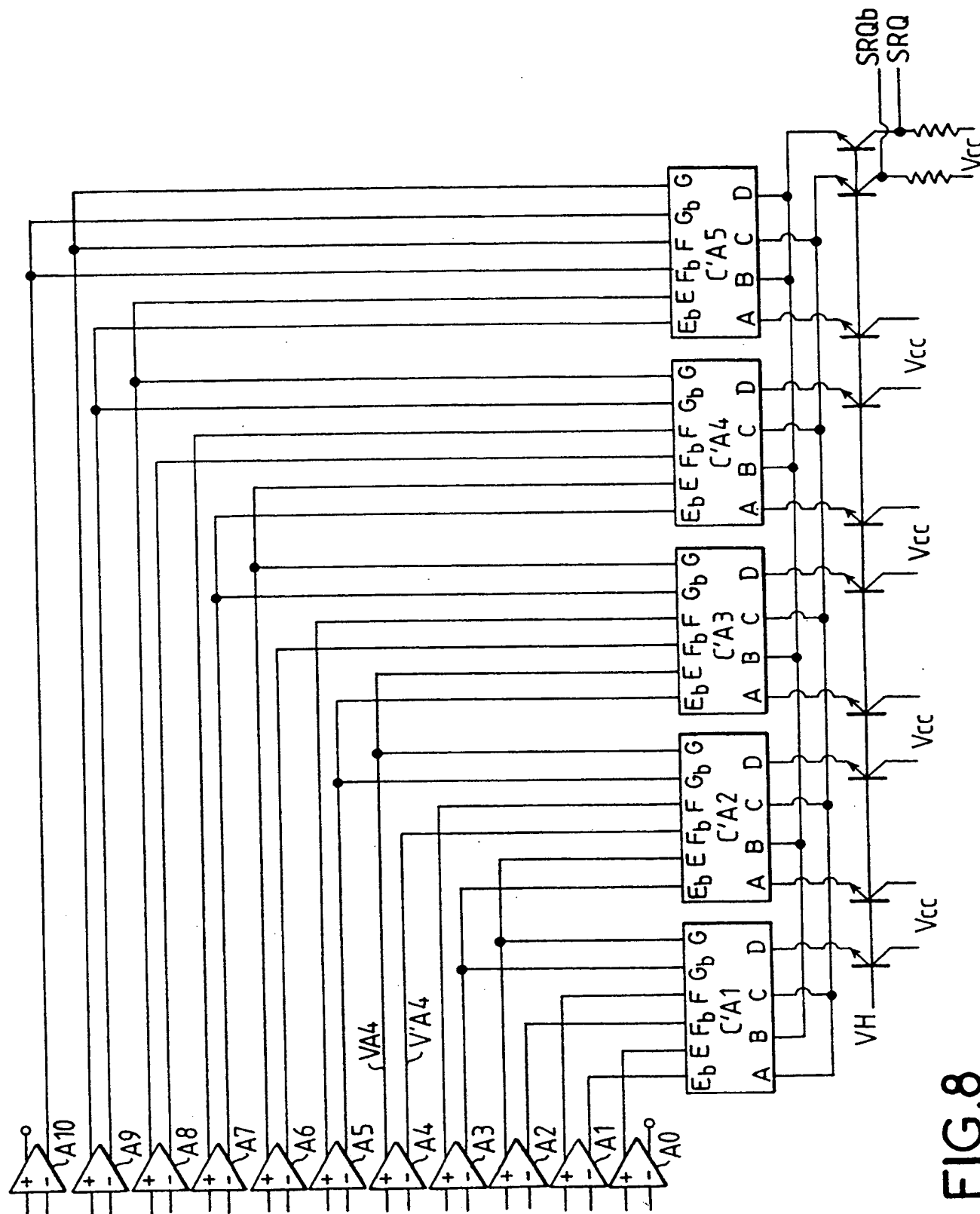


FIG.8

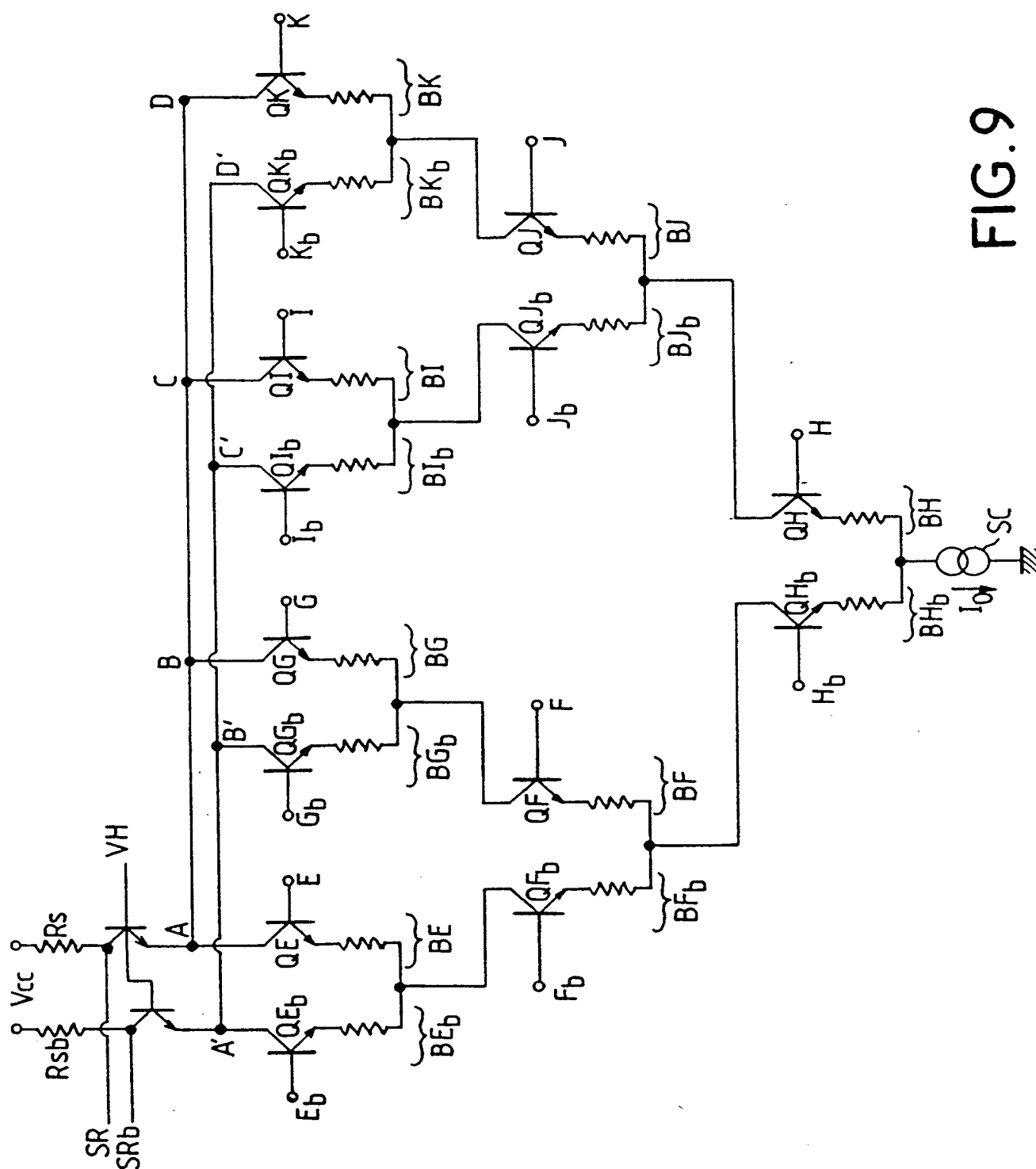


FIG. 9

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 98/02013

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H03M1/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 600 788 A (THOMSON CSF SEMICONDUCTEURS) 8 June 1994 see figures 7,8	1
A	WO 92 08288 A (SIGNAL PROCESSING TECHNOLOGIES) 14 May 1992 see figure 3	1
A	HIROSHI KIMURA: "A 10-B 300-MHZ INTERPOLATED-PARALLEL A/D CONVERTER" IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 28, no. 4, 1 April 1993, pages 438-446, XP000362972 see figure 3	1
A	US 5 376 937 A (ABIDI ASAD A ET AL) 27 December 1994	

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

30 November 1998

Date of mailing of the international search report

07/12/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Verhoof, P

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/FR 98/02013

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0600788 A	08-06-1994	FR 2699025 A	10-06-1994
		AT 162673 T	15-02-1998
		DE 69316563 D	26-02-1998
		DE 69316563 T	14-05-1998
		US 5471210 A	28-11-1995
WO 9208288 A	14-05-1992	US 5126742 A	30-06-1992
		AU 9075391 A	26-05-1992
US 5376937 A	27-12-1994	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Der: = Internationale No
PCT/FR 98/02013

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 6 H03M1/34

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 6 H03M

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 600 788 A (THOMSON CSF SEMICONDUCTEURS) 8 juin 1994 voir figures 7,8 ---	1
A	WO 92 08288 A (SIGNAL PROCESSING TECHNOLOGIES) 14 mai 1992 voir figure 3 ---	1
A	HIROSHI KIMURA: "A 10-B 300-MHZ INTERPOLATED-PARALLEL A/D CONVERTER" IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 28, no. 4, 1 avril 1993, pages 438-446, XP000362972 voir figure 3 ---	1
A	US 5 376 937 A (ABIDI ASAD A ET AL) 27 décembre 1994 -----	

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

30 novembre 1998

Date d'expédition du présent rapport de recherche internationale

07/12/1998

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Verhoof, P

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Denr : Internationale No

PCT/FR 98/02013

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0600788 A	08-06-1994	FR 2699025 A	10-06-1994
		AT 162673 T	15-02-1998
		DE 69316563 D	26-02-1998
		DE 69316563 T	14-05-1998
		US 5471210 A	28-11-1995
WO 9208288 A	14-05-1992	US 5126742 A	30-06-1992
		AU 9075391 A	26-05-1992
US 5376937 A	27-12-1994	AUCUN	